

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平6-36578

(43) 公開日 平成6年(1994)2月10日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 1 1 C 16/06				
G 0 6 F 12/04	5 1 0	9366-5B 6741-5L	G 1 1 C 17/00	3 0 9 A

審査請求 未請求 請求項の数5(全 6 頁)

(21) 出願番号 特願平4-209800

(22) 出願日 平成4年(1992)7月14日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 大谷 信吾

東京都品川区北品川6丁目7番35号 ソニ  
ー株式会社内

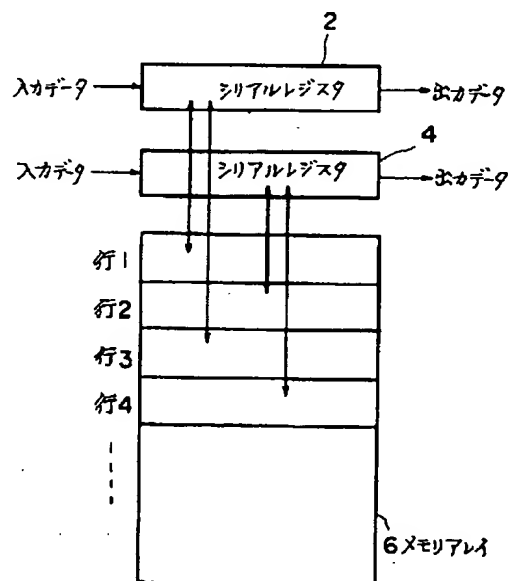
(74) 代理人 弁理士 稲本 義雄

(54) 【発明の名称】 EEPROM

(57) 【要約】

【目的】 メモリアレイへの書き込み時間を短縮する。

【構成】 メモリアレイ6に対するデータの書き込みおよび読み出しの双方を行うための2つのシリアル入出力レジスタ2および4を備える。



1

## 【特許請求の範囲】

【請求項1】 メモリアレイに対するデータの書き込みを行うためのシリアルレジスタを複数個備えることを特徴とするEEPROM。

【請求項2】 メモリアレイに対するデータの書き込みおよび読み出しの双方を行うためのシリアルレジスタを複数個備えることを特徴とするEEPROM。

【請求項3】 メモリアレイにデータの書き込みを行うための書き込み用シリアルレジスタと、前記メモリアレイからデータを読み出すための読み出し用シリアルレジスタとを別個に備えることを特徴とするEEPROM。

【請求項4】 メモリアレイに書き込むべきデータを保持する第1レジスタと、

前記メモリアレイから読み出されたデータを保持する第2レジスタと、

前記第1および第2レジスタの出力から、いずれかのビットの書き込みエラーを検出する一括ペリファイ回路とを備えることを特徴とするEEPROM。

【請求項5】 メモリアレイに対するデータの書き込みを行うためのシリアルレジスタを複数個備え、各シリアルレジスタに対応した前記メモリアレイに対する書き込み領域の割り当てが決められていることを特徴とするEEPROM。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、シリアル入出力型EEPROM (Electrically Erasable and Programmable Read Only Memory) に関する。

【0002】

【従来の技術】 従来のシリアル入出力型EEPROMチップすなわちNAND型のチップは、メモリアレイに対するデータの書き込みおよび読み出しを行うための入出力兼用のシリアルレジスタ (すなわちシフトレジスタ) を1つ備えており、例えば、シリアルレジスタの長さが512バイト、メモリアレイの行数が1024、チップ容量が4Mビット (512kB) である。このようなチップの場合、1バイトのデータをシリアル入力するのに100nSのオーダーの時間を必要とし、512バイトのデータをシリアルレジスタに入力するのに約50μS必要とする。

【0003】 また、EEPROMの書き込み時間は、NOR型では、一般に10μSのオーダーであり、上述したNAND型の従来例では、約40μS必要である。書き込みに続くペリファイのための読み出しは、NOR型では、6μS程度であるが、上述したNAND型の従来例では、10μS必要とする。従って、従来のシリアル入出力型EEPROMでは、データの書き込みおよびペリファイ読み出しに約50μSかかることになる。

【0004】

2

【発明が解決しようとする課題】 図7は、従来のシリアル入出力型EEPROMの動作のタイムシーケンスを示す。上述のように、シリアルレジスタを1つしか備えていないため、ホスト側で、データをシリアルレジスタに入力している間は、EEPROM内では、データの書き込みおよびペリファイ動作は行われない。従って、図7に示されているように、ホスト側は、約50μSの時間を要してシリアルレジスタにデータを入力した後、ほぼ同時間、書き込みおよびペリファイ読み出しのために待たなければならず、メモリアレイへの書き込みに長時間を必要とする。

【0005】 また、書き込みのペリファイを行うためのデータ読み出しを行った後、エラーが発見されると、再び、シリアルレジスタにデータを入力し直さなければならず、データ入力、アレイへの書き込みおよびペリファイからなる書き込みサイクル分さらに時間を要するという問題があった。

【0006】 本発明は、このような状況に鑑みてなされたものであり、メモリアレイへの書き込み時間を短縮できるEEPROMを提供することを目的とする。

【0007】

【課題を解決するための手段】 請求項1に記載のEEPROMは、メモリアレイに対するデータの書き込みを行うためのシリアルレジスタ (例えば、図1の実施例のシリアルレジスタ2および4) を複数個備えることを特徴とする。

【0008】 請求項2に記載のEEPROMは、メモリアレイに対するデータの書き込みおよび読み出しの双方を行うためのシリアルレジスタを複数個 (例えば、図1の実施例のシリアルレジスタ2および4) 備えることを特徴とする。

【0009】 請求項3に記載のEEPROMは、メモリアレイにデータの書き込みを行うための書き込み用シリアルレジスタ (例えば、図3の実施例のシリアル入力レジスタ12) と、メモリアレイからデータを読み出すための読み出し用シリアルレジスタ (例えば、実施例のシリアル出力レジスタ22) とを別個に備えることを特徴とする。

【0010】 請求項4に記載のEEPROMは、メモリアレイに書き込むべきデータを保持する第1レジスタ (例えば、図5の実施例の第1入出力レジスタ51) と、メモリアレイから読み出されたデータを保持する第2レジスタ (例えば、図5の実施例の第2レジスタ52) と、第1および第2レジスタの出力から、いずれかのビットの書き込みエラーを検出する一括ペリファイ回路 (例えば、図5の実施例の排他的ORゲートEX1乃至EXnおよびORゲート53) とを備えることを特徴とする。

【0011】 請求項5に記載のEEPROMは、メモリアレイに対するデータの書き込みを行うためのシリアル

3

レジスタを複数個（例えば、図1の実施例のシリアルレジスタ2および4）備え、各シリアルレジスタに対応したメモリアレイに対する書き込み領域の割り当てが決められていることを特徴とする。

#### 【0012】

【作用】請求項1の構成のEEPROMにおいては、複数個のシリアルレジスタのうち第1のシリアルレジスタにデータが入力された後、第1のシリアルレジスタからメモリアレイにデータの書き込みを行っている間に、複数個のシリアルレジスタのうち第2のシリアルレジスタにデータを入力することが可能になる。従って、メモリアレイへの書き込み時間を短縮できる。

【0013】請求項2の構成のEEPROMにおいては、複数個のシリアルレジスタのうち第1のシリアルレジスタにデータが入力された後、第1のシリアルレジスタからメモリアレイにデータの書き込みを行っている間に、複数個のシリアルレジスタのうち第2のシリアルレジスタにデータを入力され、その後、例えばベリファイのために第1シリアルレジスタにメモリアレイからデータを読み出している間に、第2シリアルレジスタからメモリアレイにデータを書き込むことができる。従って、メモリアレイへの書き込み時間を短縮できるとともに、データの書き込みと読み出しとを同時することができる。

【0014】請求項3の構成のEEPROMにおいては、書き込み用シリアルレジスタにデータが入力され、ここからメモリアレイにデータが書き込まれた後、例えばベリファイのためにメモリアレイから読み出し用シリアルレジスタにデータが読み出されエラーが検出されても、書き込み用シリアルレジスタにはデータが保持されているので、書き込み用シリアルレジスタに再びデータを入力する必要なく、即座に、データの再書き込みを行えるから、書き込みエラーが生じたときの再書き込みに必要な時間を短縮できる。

【0015】請求項4の構成のEEPROMにおいては、第1レジスタが、メモリアレイに書き込むべきデータを保持し、第2レジスタが、メモリアレイから読み出されたデータを保持し、一括ベリファイ回路が、第1および第2レジスタの出力から、いずれかのビットの書き込みエラーを検出する。従って、書き込みエラーを瞬時に発見できるから、即座に再書き込みを行うことができる。

【0016】請求項5の構成のEEPROMにおいては、複数個のシリアルレジスタに入力されたデータは、それぞれ、メモリアレイの割り当てられた領域に書き込まれる。従って、メモリアレイの複数領域への書き込み処理を並行して行うことができるので、書き込み時間を短縮することができる。

#### 【0017】

【実施例】図1は、本発明のEEPROMの一実施例の

4

構成を示す。この実施例では、2個のシリアル入出力レジスタ2および4が設けられている。これらのシリアル入出力レジスタ2および4は、それぞれ、多数のメモリセルがマトリクス状に配列されてなるメモリアレイ6に対するデータの書き込みおよび読み出しの双方を行うためのものである。ホストは、シリアル入出力レジスタ2にその長さ分のデータを入力し終わると、EEPROMの制御レジスタに書き込みコマンドを入力する。これにより、シリアル入出力レジスタ2からメモリアレイ6にデータが書き込まれる。

【0018】各シリアル入出力レジスタ2および4に対応したメモリアレイ6に対する書き込み領域の割り当てが決められている。すなわち、シリアル入出力レジスタ2に入力されたデータは、メモリアレイ6の奇数行に書き込まれ、シリアル入出力レジスタ4に入力されたデータは、メモリアレイ6の偶数行に書き込まれるように、メモリアレイ6の書き込み領域の割り当てが決められている。

【0019】図2は、図1の実施例の一動作例のタイムシーケンスを示す。以下、図2を参照して図1の実施例の動作を説明する。シリアル入出力レジスタ2にデータが入力された（例えば、A1）後、シリアル入出力レジスタ2からメモリアレイ6にデータの書き込みを行っている（例えば、B1）間に、シリアル入出力レジスタ4にデータを入力され（例えば、A2）、その後、ベリファイのためにシリアル入出力レジスタ2にメモリアレイ6からデータが読み出されている（例えば、C1）間に、シリアル入出力レジスタ4からメモリアレイ6にデータが書き込まれる。従って、メモリアレイ6への書き込み時間を短縮できるとともに、データの書き込みと読み出しとを同時することができる。

【0020】例えば、A：データ入力（シリアルレジスタへの入力）の時間、B：書き込み（シリアルレジスタからメモリセルへのプログラミング）の時間、C：データのシリアル出力（読み出し）およびベリファイの時間が等しいとすると、図2から明かなように、総書き込み時間が2/3になるので、書き込み速度が1.5倍になる。

【0021】書き込み時間Bがより短く例えば10μSの場合には、シリアル入出力レジスタ2および4の長さを書き込み時間に見合う長さ、例えば64Bまたは128B等にすれば、ランダムなアクセスも容易になる。

【0022】図3は、本発明のEEPROMの別の実施例の構成を示す。この実施例では、メモリアレイ6にデータの書き込みを行うためのシリアル入力レジスタ12と、メモリアレイ6からデータを読み出すためのシリアル出力レジスタ22とを別個に備えている。また、メモリアレイ6にデータの書き込みを行うためのシリアル入力レジスタ14と、メモリアレイ6からデータを読み出すためのシリアル出力レジスタ24とを別個に備えてい

る。

【0023】図4は、図3の実施例の一動作例のタイムシーケンスを示す。以下、図4を参照して図3の実施例の動作を説明する。まず、ホスト側から、シリアル入力レジスタ12にデータが入力され（例えば、図4のA1）、次に、ホスト側から制御レジスタに書き込みコマンドが入力され、これにより、シリアル入力レジスタ12からメモリアレイ6にデータが書き込まれる（例えば、図4のB1）。次に、ホスト側から、ペリファイのための読み出しコマンドが制御レジスタにセットされ、これにより、メモリアレイ6から、該アレイ6に書き込まれたデータがシリアル出力レジスタ22に転送される。そして、ホスト側が、シリアル出力レジスタ22に転送されたデータを読み出して、ホスト側が保持している書き込むべきデータと比較して、エラーをチェックする（例えば、図4のC1）。

【0024】ホスト側は、ここでエラーを検出すると、再度、書き込みコマンドを制御レジスタに入力して、シリアル入力レジスタ12からメモリアレイ6に書き込みを行う（例えば、図4のB1'）。従来技術では、エラーが検出された場合には、図7のA2'に示されているように、再び、シリアルレジスタに書き込むべきデータを入力し直さなければならないが、図3の実施例では、エラーが検出されても、シリアル入力レジスタ12にデータが保持されているので、シリアル入力レジスタ12に再びデータを入力する必要なく、即座に、データの再書き込みを行えるから、書き込みエラーが生じたときの再書き込みに必要な時間を短縮できる。シリアル入力レジスタ14およびシリアル出力レジスタ24の動作も同様である。

【0025】図5は、本発明のEEPROMの一括ペリファイ回路の一実施例の構成を示す。この実施例は、メモリアレイ6に書き込むべきデータを保持する第1レジスタ51と、メモリアレイ6から読み出されたデータを保持する第2レジスタ52と、第1および第2レジスタ51および52の各ビット出力を比較するn個の排他的ORゲートEX1乃至EXnと、これらn個の排他的ORゲートEX1乃至EXnの出力を入力とするORゲート53とを備えている。第1レジスタ51は、例えば、図3のシリアル入力レジスタ12により構成でき、第2レジスタ52は、例えば、図3のシリアル出力レジスタ22により構成できる。例えば、第1および第2レジスタ51および52の長さが128Bのときには、nは、 $128 \times 8 = 1024$ であり、排他的ORゲートの個数は、1024である。

【0026】第1および第2レジスタ51および52のすべてのビットが一致していれば、ORゲート53の出力は、ネグート（ここでは、出力「0」）され、エラーがないことが示される。第1および第2レジスタ51および52のいずれかのビットが不一致していれば、OR

ゲート53の出力は、アサート（ここでは、出力「1」）され、瞬時に書き込みエラーを発見できる。このように、図5の回路では、レジスタに保持されたすべてのデータを一括してペリファイできる。EEPROMの場合は、どこかのビットで書き込みエラーが起こったのかを知る必要がないので、即座に再書き込みに移ることができる。

【0027】現在、チップ内に自動書き込み機能を持った回路を搭載したNOR型フラッシュメモリが入手可能であるが、図5の回路は、シリアル入力型（NAND型）EEPROMにおいて自動書き込み機能を実現するのに有効である。

【0028】図6は、図3の実施例のようにシリアル入力レジスタおよびシリアル出力レジスタを2組備え、図5のような一括ペリファイ回路または他の自動書き込み回路を内蔵したEEPROMの一動作例のタイムシーケンスを示す。この場合、書き込み速度が2倍に向上する。

【0029】なお、上記説明では、図5の第1レジスタ51を、図3のシリアル入力レジスタ12により構成し、図5の第2レジスタ52を、図3のシリアル出力レジスタ22により構成するものとしたが、第1レジスタ51を、図1のシリアル入出力レジスタ2で構成し、第2レジスタ52をペリファイ専用レジスタで構成してもよい。

【0030】

【発明の効果】請求項1のEEPROMによれば、メモリアレイへのデータの書き込みのためのシリアルレジスタを複数個設けたので、あるシリアルレジスタにデータを入力した後ここからメモリアレイにデータの書き込みを行っている間に、他のシリアルレジスタにデータを入力することが可能になるから、メモリアレイへの書き込み時間を短縮できる。

【0031】請求項2のEEPROMによれば、メモリアレイに対するデータの書き込みおよび読み出しの双方を行うためのシリアルレジスタを複数個設けたので、メモリアレイへの書き込み時間を短縮できるとともに、データの書き込みと読み出しとを同時することができる。

【0032】請求項3のEEPROMによれば、メモリアレイにデータの書き込みを行うための書き込み用シリアルレジスタと、メモリアレイからデータを読み出すための読み出し用シリアルレジスタとを別個に設けたので、書き込みエラーが生じたときの再書き込みに必要な時間を短縮できる。

【0033】請求項4のEEPROMによれば、一括ペリファイ回路が、第1レジスタに保持されているメモリアレイに書き込むべきデータと、第2レジスタに保持されているメモリアレイから読み出されたデータから、いずれかのビットの書き込みエラーを検出するので、書き込みエラーを瞬時に発見できるから、即座に再書き込み

を行うことができる。

【0034】請求項5のEEPROMによれば、メモリアレイに対するデータの書き込みを行うためのシリアルレジスタを複数個設け、各シリアルレジスタに対応したメモリアレイに対する書き込み領域の割り当てを決めたので、メモリアレイの複数領域への書き込み処理を並行して行うことができるから、書き込み時間を短縮することができる。

【図面の簡単な説明】

【図1】本発明のEEPROMの一実施例の構成を示すブロック図である。

【図2】図1の実施例の一動作例のタイムシーケンスを示す図である。

【図3】本発明のEEPROMの別の実施例の構成を示すブロック図である。

【図4】図2の実施例の一動作例のタイムシーケンスを示す図である。

【図5】本発明のEEPROMの一括ペリファイ回路の一実施例を示すブロック図である。

【図6】図3の実施例のようにシリアル入力レジスタとシリアル出力レジスタとを別個に備え、図5の実施例を使用した場合の一動作例のタイムシーケンスを示す図である。

【図7】従来のEEPROMの動作例のタイムシーケンスを示す図である。

【符号の説明】

2, 4 シリアルレジスタ

6 メモリアレイ

12, 14 シリアル入力レジスタ

22, 24 シリアル出力レジスタ

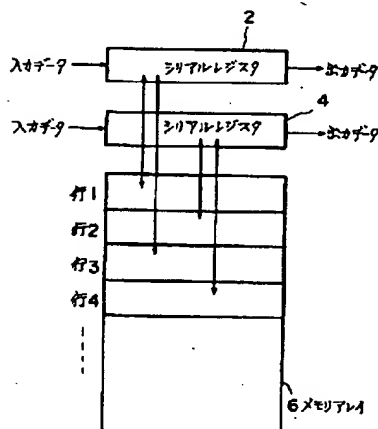
51 第1レジスタ

52 第2レジスタ

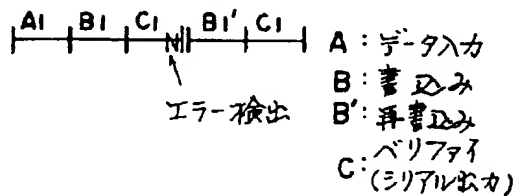
53 ORゲート

EX1, EXn 排他的ORゲート

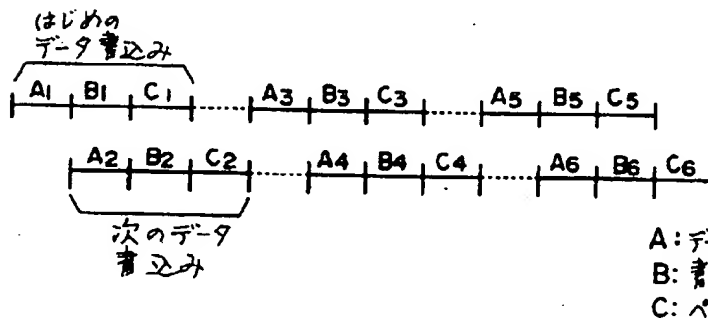
【図1】



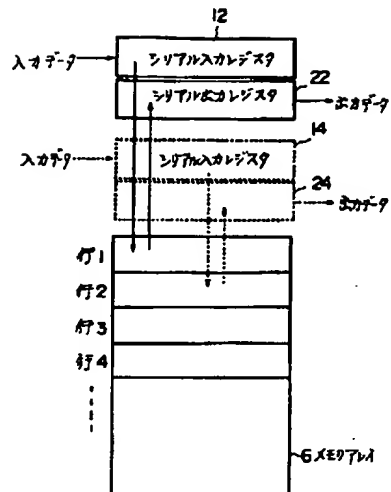
【図4】



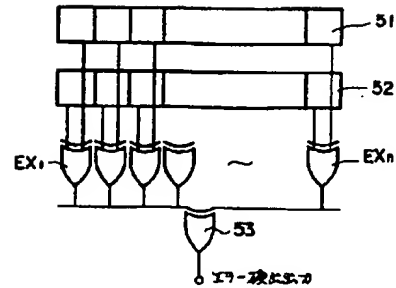
【図2】



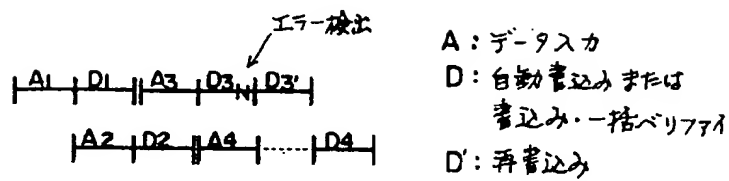
【図3】



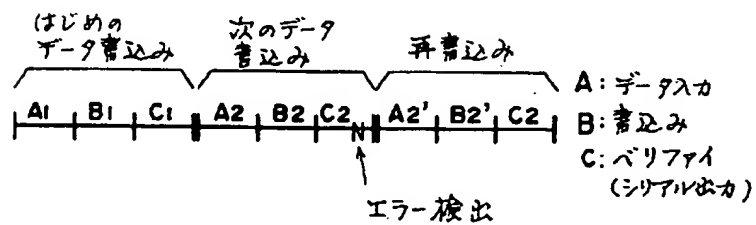
【図5】



【図6】



【図7】



(19) Japan Patent Office (JP)

(11) Laid-Open Patent Application

(12) PUBLICLY REPORTED LAID-OPEN PATENT (A) Hei-6(1994)-36578

(51) Int. Cl.<sup>5</sup> Classification Codes Intraoffice Serial Nos. (43) Laid Open Date: Feb. 10, 1994

FI Technical Disclosure Section

G 11 C 16/06

G 06 F 12/04

510

9366-5B

6741-5L

G11C 17/00 309 A

Request for Examination: Not yet requested.

Total No. of Claims: 5 (Total of 6 pages)

---

(54) Title of the Invention: EEPROM

(21) Application No. 04-209800

(22) Application Date: July 14, 1992

(71) Applicant: 000002185

SONY Kabushiki Kaisha

Tokyo-to, Shinagawa-ku, Kita-Shinagawa, 6-chome, 7-35

(72) Inventor: Shingo Otani

Tokyo-to, Shinagawa-ku, Kita-Shinagawa, 6-chome, 7-35

@SONY Kabushiki Kaisha

(74) Proxy: Yoshio Inamoto, Patent Attorney.

---

(54) [Title of the Invention] EEPROM

(57) [Abstract]

[Objective] To reduce write-in time to a memory array.

[Constitution] Providing two serial input/output registers (2),(4) to execute both data write in to and read out from a memory array (6).

**FH 008733**

## Specification

### [Scope of the Patent Claims]

[Claim 1] EPROM, characterized as being outfitted with multiple individual serial registers to write in data to a memory array.

[Claim 2] EEPROM, characterized as being outfitted with multiple individual serial registers to execute both data write in to and data read out from a memory array.

[Claim 3] EEPROM, characterized as being outfitted separately with a write-in serial register to execute data write in to a memory array and a read out register to read out data from a memory array.

[Claim 4] EEPROM, characterized as being outfitted with a first register to retain data to be written into a memory array, a second register to retain data to be read out from a memory array, and a batch verification circuit to detect write-in errors of any bit from the output of the first and second registers.

[Claim 5] EEPROM, characterized as being outfitted with multiple serial registers to write in data to a memory array, and by the determined allotment of write-in domains to the memory array corresponding to the respective serial registers.

### [Detailed Explanation of the Invention]

[0001]

#### [Industrial Sectors That Benefit]

The present invention concerns a serial input/output type EEPROM (Electrically Erasable and Programmable Read-Only Memory).

[0002]

[Prior Art] Conventional serial-input type EEPROM chips, i.e., NAND-type chips, are outfitted with one serial register, namely a shift register, that uses both input and output to write in data to and read out data from a memory array. It is, for example, 512 bytes long, the memory array has 1,024 rows, and the chip capacity is 4M bits (512kB). This type of chip requires 100nS of order time to serially input 1 byte of data and about 50 $\mu$ s to serially input 512 bytes of data.

[0003] With a NOR-type, EEPROM time is generally a 10 $\mu$ s order. In the NAND conventional example discussed above, about 40 $\mu$ s is required. Verification readout that occurs after write in requires up to 6 $\mu$ s in a NOR-type. However, 10 $\mu$ s is required in a NAND-type of conventional example discussed above. In a conventional serial input/output-type EEPROM, then, data write in and verification read out takes about 50 $\mu$ s.



[0004]

[Problems the Invention Endeavors to Resolve] Furthermore, EEPROM write-in time in NOR-types is generally a  $10\mu\text{s}$  order. Figure 7 shows the time sequence of the functions of a conventional serial input/output-type EEPROM. Since, as discussed above, only one serial register is provided, data write in and verification actions in the EEPROM do not occur while data is being input to the serial register on the host side. Thus, as shown in Figure 7, about  $50\mu\text{s}$  of time is required on the host side. After data has been input to the serial register, write in and verification read out requires about the same amount of time, while memory array write-in requires a long time.

[0005] Moreover, after the data read out to execute write-in verification has occurred and errors have been detected, data must be input again for correction, the problem thus being that the write-in cycle segment comprising data input, array write-in, and verification requires additional time.

[0006] The present invention takes this situation into account. Its objective is to offer an EEPROM to reduce memory array write-in time.

[0007]

[Means to Resolve Problems] The EEPROM mentioned in Claim 1 is characterized in that multiple individual serial registers, e.g., serial registers (2), (4) in the embodiment in Figure 1, are provided to write in data to the memory array.

[0008] The EEPROM mentioned in Claim 2 is characterized as being outfitted with multiple individual serial registers, e.g., serial registers (2), (4) in the embodiment in Figure 1, to execute both data write in to and data read out from the memory array.

[0009] The EEPROM mentioned in Claim 3 is characterized as being outfitted with a separate write-in serial register to write in data to a memory array, e.g., the serial input register (1) in the embodiment of Figure 3, and a read out register to read out data from a memory array, e.g., the serial output register (22) of the embodiment.

[0010] The EEPROM mentioned in Claim 4 is characterized as being outfitted with a first register that retains data to be written into a memory array, e.g., the first input register (51) of the embodiment of Figure 5, a second register to retain data to be read out from the memory array, e.g., second register (52) of the embodiment of Figure 5, and a batch verification circuit to detect write-in errors of any bit from the output of the first and second registers, e.g., exclusive OR gates (EX1) to (EXn) and OR gate (53) of the embodiment in Figure 5.

[0011] The EEPROM mentioned in Claim 5 is characterized as being outfitted with multiple serial registers to write in data to the memory array, e.g., serial registers (2), (4) of the embodiment of Figure 1, and by the determined allotment of write-in domains to the memory array that correspond to the various shift registers.

[0012]

[Operation] In the constitution of the EEPROM of Claim 1, after data is input to the first of the multiple serial registers, data can be input to the second of the multiple serial registers during the interval wherein data is written into the memory array from the first serial register. Thus, memory array write-in time can be reduced.

[0013] In the constitution of the EEPROM of Claim 2, after data is input to the first of the multiple serial registers, data is then input to the second of the multiple serial registers during the interval wherein data from the first serial register is written into the memory array. Then, during the period that data is read out from the memory array to the first register for, for example, verification purposes, data can be written into the memory array from the second serial register. Thus, memory array write-in time can be reduced and data write-in and readout can be synchronous.

[0014] In the constitution of the EEPROM of Claim 3, data is input to a write-in serial register, wherefrom data is written into the memory array. Data is then read out to a readout serial register from the memory array for, for example, verification purposes, and then errors are detected. Since data is retained in the write-in shift register, data is rewritten in promptly without needing to be input again to the write-in serial register. Thus, the required rewriting in time when errors occur can be reduced.

[0015] In the constitution of the EEPROM of Claim 4, data to be written into the memory array is retained in the first register, the second register retains data read out from the memory array, and the batch verification circuit detects write-in errors of any bit from the output of the first and second registers. Since write-in errors can be detected immediately, rewriting in can be executed promptly.

[0016] In the constitution of the EEPROM of Claim 5, data input to the multiple individual serial registers is, respectively, written into the allotted domains of the memory array. Thus, processing the writing in of data to multiple domains of the memory array can be executed simultaneously. Thus, write-in time can be reduced.

[0017] Figure 1 depicts the constitution of one embodiment of the EEPROM of the present invention. In this embodiment, two individual serial input/output registers (2), (4) are provided. These respective serial input/output registers (2), (4) execute both the writing in and the reading out of data vis-à-vis a memory array (6) comprising a great number of memory cells arranged in matrix format. As to the host, write-in commands are input to the EEPROM control register after the length component of its data has been input to a serial output register (2).

[0018] The allotment of write-in domains to the memory array (6) corresponding to the respective serial input/output registers (2), (4) is determined. In other words, the allotment of memory array (6) write-in domains is determined such that data input to the serial input/output register (2) is written in to the odd numbered lines of the memory array (6), and data input to the serial input/output register (4) is written in to the even numbered lines of the memory array (6).

[0019] Figure 2 depicts the time sequence of one functional example of the embodiment of Figure 1. Next, the function of the embodiment of Figure 1 will be explained while referring to Figure 2. After data (for example, A1) is input to the serial input/output register (2), data (for example, A2) is input to the serial input/output register (4) while data (for example, B1) is written into the memory array (6) from the serial input/output register (2). Then, data (for example C1) is read out from the memory array (6) to the serial input/output register (2) for verification. Thus, the write-in time to the memory array (6) can be reduced, and data write in and read out can occur simultaneously.

[0020] For example, when A: the data input (serial register input) time, B: the write-in (programming to the memory cells from the shift register) time; and C: the data serial output (read out) and verification time are equal, the total write-in time is  $2/3$ , as Figure 2 makes clear. Thus, the write-in velocity is then a multiple of 1.5.

[0021] When the write-in time (B) is shorter, e.g.,  $10\mu\text{s}$ , random access becomes simple if the lengths of the serial input registers (2), (4) are lengths that correspond to the write-in times, for example 64B and 128B, etc.

[0022] Figure 3 depicts the constitution of another embodiment of an EEPROM of the present invention. This embodiment is separately outfitted with a serial input register (12) to write in data to the memory array (6) and a serial output register (22) to read out data from the memory array (6). Moreover, a serial input register (14) to write in data to the memory array (6) and a serial output register to read out data from the memory array (6) are provided separately.

[0023] Figure 4 is a time sequence of a functional example of the embodiment of Figure 3. Hereafter, the operation of the embodiment of Figure 3 will be explained while referring to Figure 4. First, data is input to the serial input register (12) from the host side, e.g., A1 in Figure 4. Then, write-in commands are input to the control register from the host side, whereupon data is written into the memory array (6) from the serial input register (12), e.g., B1 in Figure 4. Then, read out commands for verification purposes are set in the control register from the host side, whereupon data written into said array (6) is transmitted to the serial output register (22) from the memory array (6). The host side then reads out data transmitted to the serial output register (22), compares it to data, e.g. C1 in Figure 4, to be written in that is retained at the host side, and then checks for errors.

[0024] If at this stage the host side detects errors, write-in commands are again input to the control register, whereupon writing into the memory array (6) from the serial input register (12) occurs, e.g., B1' in Figure 4. If errors are detected in conventional technology, data to be input to the serial input register (12) must once again be input for correction. In the embodiment in Figure 3, though, even if errors are detected, data is retained in the serial input register (12). Thus, data can be promptly rewritten in without the need to input data again to the serial input register (12). Thus, the rewriting in time required when writing in errors occur can be reduced. Moreover, the functions of serial input register (14) and serial output register (24) are the same.

[0025] Figure 5 depicts the constitution of one embodiment of a batch verification circuit of an EEPROM of the present invention. This embodiment is outfitted with a first register (51) to retain data to be written into the memory array (6), a second register (52) to retain data read out

from the memory array (6),  $n$  individual exclusive OR gates (EX1) to (EX $n$ ) to compare the respective bit outputs of the first and second registers (51), (52), and an OR gate (53) to input the output of these  $n$  exclusive OR gates (EX1) to (EX $n$ ). The first register (51) can constitute, for example, the serial input register (12) of Figure 3. The second register (52) can constitute, for example, the serial output register (22) of Figure 3. If the lengths of the first and second registers (51), (52) are 128B,  $n$  is  $128 \times 8 = 1024$  and the number of individual exclusive OR gates is 1,024.

[0026] If all the bits of the first and second registers (51), (52) are consistent, the output of OR gate (53) is negated (in this case, output "0") and that no errors have occurred is indicated. If any of the bits of the first and second registers are inconsistent, the output of OR gate (53) is asserted (in this case, output "1") and write-in errors can be discovered instantly. In this way, all data retained by the registers can be batch verified. With EEPROM, the sequence promptly moves on to rewriting in since there is no need to know at which bit a write-in error has occurred.

[0027] At present, a NOR-type flash-memory is available that houses a circuit with automatic write-in functions inside the chip. However, the circuit in Figure 5 is effective to realize automatic write-in functions in a serial input type (NAND type) EEPROM.

[0028] Figure 6 is outfitted with two pairs of serial input registers and serial output registers, as in the embodiment of Figure 3, and shows the time sequence of one functional example of an EEPROM wherein is housed the batch verification circuit or another automatic write-in circuit as found in Figure 5. In this case, the write-in velocity increases to a multiple of 2.

[0029] In the aforementioned invention, moreover, the first register (51) of Figure 5 is constituted by the serial input register (12) of Figure 3. The second register (52) of Figure 5 is constituted by the serial output register (22) of Figure 3. Also, the first register (51) constitutes the serial input register (2) of Figure 1, and the second register (52) constitutes the exclusive verification register.

[0030]

[Outcomes of the Invention] With the EEPROM of Claim 1, multiple serial registers are provided to write in data to the memory array. Thus, after data is input to a given serial register, data can be input to another serial register while data is written into the memory array from this point. Memory write-in time can thus be reduced.

[0031] With the EEPROM of Claim 2, multiple serial registers are provided to execute both data write in and read out vis-à-vis the memory array. Write-in time to the memory array can thus be reduced, and data write in and read out can be simultaneous.

[0032] With the EEPROM of Claim 3, a write-in serial register to write in data to the memory array and a read out serial register to read out data from the memory array are provided separately. Thus, the rewriting in time needed when errors occur can be reduced.

[0033] With the EEPROM of Claim 4, the batch verification circuit can detect write-in errors of any bit from the data retained by the first register to be written into the memory array, and from the data retained in the second register read out from the memory array. Since, therefore, write-in errors can be detected instantly, rewriting in can be executed promptly.

[0034] With the EEPROM of Claim 5, multiple serial registers to write in data to the memory array are provided and allotment of write-in domains to the memory corresponding to the various serial registers is determined. Thus, processing the writing in to multiple domains of the memory array can be done simultaneously and write-in time can thus be reduced.

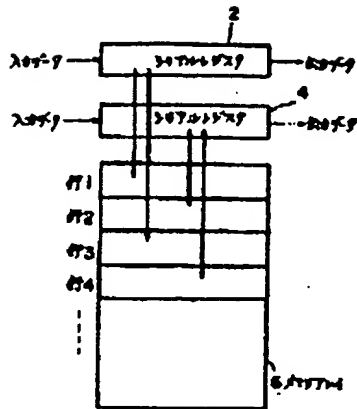
[A Brief Explanation of the Figures]

- [Figure 1] Block diagram depicting the constitution of one embodiment of the EEPROM of the present invention.
- [Figure 2] Diagram depicting the time sequence of one functional example of the embodiment of Figure 1.
- [Figure 3] Block diagram depicting the constitution of a different embodiment of the EEPROM of the present invention.
- [Figure 4] Diagram depicting the time sequence of one functional example of the embodiment of Figure 2.
- [Figure 5] Block diagram depicting one embodiment of a batch verification circuit of an EEPROM of the present invention.
- [Figure 6] Diagram depicting the time sequence of a functional example in a case wherein the embodiment of Figure 5 is used, and outfitted with a serial input register and a serial output register as in the embodiment of Figure 3.
- [Figure 7] Diagram depicting the time sequence of a functional example of a conventional EEPROM.

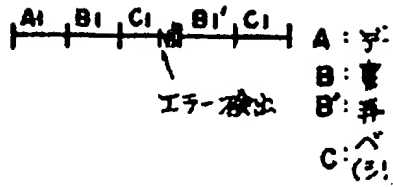
[Key to the Figures]

- (2), (4) ... serial register
- (6) ... memory array
- (12), (14) ... serial input register
- (22), (24) ... serial output register
- (51) ... first register
- (52) ... second register
- (53) ... OR gate
- (EX1), (EXn) ... exclusive OR gate

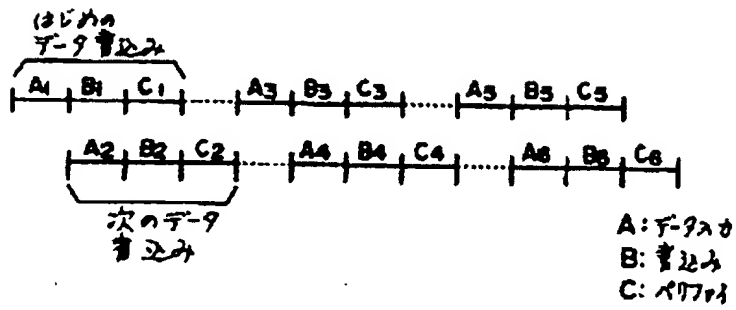
【図1】



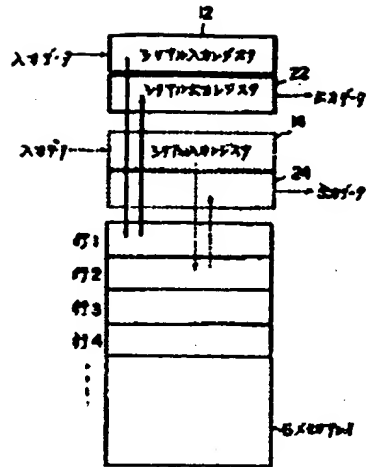
【図4】



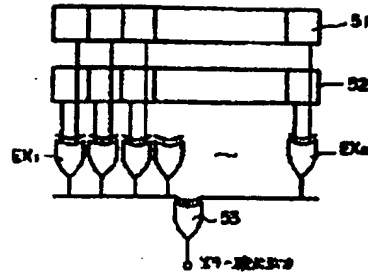
【図2】



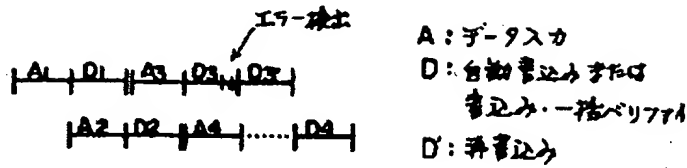
【図3】



【図5】



【図6】



【図7】

